

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月28日
Date of Application:

出願番号 特願2002-313309
Application Number:

[ST. 10/C] : [JP2002-313309]

出願人 東芝松下ディスプレイテクノロジー株式会社
Applicant(s):

2003年7月22日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 13925601
【提出日】 平成14年10月28日
【あて先】 特許庁長官殿
【国際特許分類】 G09G 3/36
【発明の名称】 表示装置
【請求項の数】 8
【発明者】
【住所又は居所】 東京都港区港南4丁目1番8号 東芝松下ディスプレイ
テクノロジー株式会社内
【氏名】 中村 韶
【特許出願人】
【識別番号】 302020207
【住所又は居所】 東京都港区港南4丁目1番8号
【氏名又は名称】 東芝松下ディスプレイテクノロジー株式会社
【代理人】
【識別番号】 100075812
【弁理士】
【氏名又は名称】 吉武 賢次
【選任した代理人】
【識別番号】 100088889
【弁理士】
【氏名又は名称】 橋谷 英俊
【選任した代理人】
【識別番号】 100082991
【弁理士】
【氏名又は名称】 佐藤 泰和

【選任した代理人】**【識別番号】** 100096921**【弁理士】****【氏名又は名称】** 吉 元 弘**【選任した代理人】****【識別番号】** 100103263**【弁理士】****【氏名又は名称】** 川 崎 康**【手数料の表示】****【予納台帳番号】** 087654**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

第1及び第2方向に列設される信号線及び走査線の各交点付近に形成される表示素子と、

前記表示素子のそれぞれに対応して設けられ、それぞれが異なる範囲の入射光を受光して受光量に応じた電気信号を出力する光電変換素子と、

前記表示素子を点灯させるための表示用画素データを蓄積するとともに、前記光電変換素子での受光量に応じた電荷を蓄積する第1キャパシタと、

前記第1キャパシタの蓄積電荷に応じた電圧を保持するとともに、該電圧に基づいて前記表示素子の点灯制御を行うリフレッシュ回路と、

前記第1キャパシタを前記表示用画素データの蓄積に用いるか、前記光電変換素子での受光量に応じた電荷蓄積用に用いるかを切り替える第1選択制御部と、を備えることを特徴とする表示装置。

【請求項 2】

前記表示素子を点灯させるための表示用画素データを蓄積する第2キャパシタと、

前記第1及び第2キャパシタのいずれか一つを選択して、選択されたキャパシタの蓄積電荷を前記リフレッシュ回路に供給する第2選択制御部と、を備え、

前記第1キャパシタは、特定の色を表示させる前記表示素子に対応して設けられ、

前記第2キャパシタは、前記特定の色以外を表示させる前記表示素子に対応して設けられることを特徴とする請求項1に記載の表示装置。

【請求項 3】

前記第1及び第2選択制御部は、2以上の制御信号線の論理で選択制御を行うデコーダで構成されることを特徴とする請求項1または2に記載の表示装置。

【請求項 4】

前記表示素子は、各画素ごとに、赤、緑及び青の発光層をそれぞれ持つ3つの

発光ダイオードで構成されることを特徴とする請求項 1 及至 3 のいずれかに記載の表示装置。

【請求項 5】

前記光電変換素子は、各画素ごとに、対応する前記 3 つの発光ダイオードそれぞれに対して 1 つずつ設けられ、

前記光電変換素子は、対応する前記発光ダイオードの発光層に取り囲まれるよう配置されることを特徴とする請求項 4 に記載の表示装置。

【請求項 6】

前記光電変換素子は、前記リフレッシュ回路及び前記第 1 選択制御部が形成される絶縁基板と、前記発光層と、の間に形成されることを特徴とする請求項 4 または 5 に記載の表示装置。

【請求項 7】

前記第 1 キャパシタに蓄積された電荷は、前記第 1 選択制御部を介して、対応する信号線に供給されることを特徴とする請求項 1 及至 6 のいずれかに記載の表示装置。

【請求項 8】

第 1 及び第 2 方向に列設される信号線及び走査線の各交点付近に形成される複数の表示素子と、

前記表示素子を点灯させるための表示用画素データを蓄積する複数のキャパシタと、

前記複数のキャパシタの内のいずれか一つの蓄積電荷に応じた電圧を保持するとともに、該電圧に基づいて前記表示素子の点灯制御を行うリフレッシュ回路と、

前記複数のキャパシタの内のいずれか一つをリフレッシュ回路に接続するデコーダと、を備えることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像取込み機能を備えた表示装置に関し、特に、EL (Electrolumin

escence) 素子を用いた表示装置に関する。

【0002】

【従来の技術】

EL素子は、応答性及び発色性がよく、薄膜化も可能なため、次世代の表示装置として盛んに研究開発が行われている。

【0003】

EL素子を用いた表示装置（以下、EL表示装置）では、階調表示を行うためにパルス幅駆動を行う。図9は階調表示が可能なEL表示装置の動作原理を説明する図である。EL素子50を駆動するトランジスタ51のゲートにはゲート駆動回路52が接続されている。ゲート駆動回路52は、デジタル画素データのビット位置に応じた図10に示すようなパルス幅変調信号をトランジスタ51のゲートに供給する。より詳細には、デジタル画素データの上位ビット側ほど、パルス幅を長くする。

【0004】

EL素子50はトランジスタ51がオンしている間だけ点灯する。したがって、デジタル画素データのビット位置に応じてトランジスタ51のオン期間を切り替えることにより、階調表示が可能になる。

【0005】

ゲート駆動回路52は、信号線から供給されたデジタル画素データを一時的に蓄積するキャパシタと、このキャパシタに蓄積された電荷を保持する保持回路とを有する。

【0006】

ところで、アレイ基板上に、画像取込みを行う密着型エリアセンサを配置した画像取込み機能付きの表示装置が提案されている（例えば、特許文献1、2を参照）。

【0007】

この種の画像取込み機能を備えた従来の表示装置は、センサに接続されたキャパシタの電荷量をセンサでの受光量に応じて変化させるようにし、キャパシタの両端電圧を検出することで、画像取込みを行う。

【0008】**【特許文献1】**

特開 2001-292276号公報

【特許文献2】

特開 2001-339640号公報

【0009】**【発明が解決しようとする課題】**

このように、画像取込みを行うには、センサでの受光量に応じた電荷を蓄積するキャパシタが必要品である。しかしながら、EL表示装置の場合、EL素子を駆動するためのゲート駆動回路の内部にもキャパシタが必要であり、EL表示装置に画像取込み機能を持たせると、TFTおよびキャパシタの数が増えて素子の構造が複雑になり、製造歩留まりが低下するとともに、開口率も悪くなる。

【0010】

本発明は、このような点に鑑みてなされたものであり、その目的は、開口率と製造歩留まりの低下を防止できる表示装置を提供することにある。

【0011】**【課題を解決するための手段】**

上述した課題を解決するために、本発明は、第1及び第2方向に列設される信号線及び走査線の各交点付近に形成される表示素子と、前記表示素子のそれぞれに対応して設けられ、それぞれが異なる範囲の入射光を受光して受光量に応じた電気信号を出力する光電変換素子と、前記表示素子を点灯させるための表示用画素データを蓄積するとともに、前記光電変換素子での受光量に応じた電荷を蓄積する第1キャパシタと、前記第1キャパシタの蓄積電荷に応じた電圧を保持するとともに、該電圧に基づいて前記表示素子の点灯制御を行うリフレッシュ回路と、前記第1キャパシタを前記表示用画素データの蓄積に用いるか、前記光電変換素子での受光量に応じた電荷蓄積用に用いるかを切り替える第1選択制御部と、を備える。

【0012】**【発明の実施の形態】**

以下、本発明に係る表示装置について、図面を参照しながら具体的に説明する。

【0013】

(第1の実施形態)

図1は本発明に係る表示装置の第1の実施形態の概略構成図であり、画像取込み機能を有することを特徴としている。図1の表示装置は、ガラスからなるアレイ基板1と、アレイ基板1にFPC (Flexible Print Circuit) 2で接続される半導体基板3とで構成されている。

【0014】

アレイ基板1上には、信号線及び走査線が列設される画素アレイ部4と、信号線を駆動する信号線駆動回路5と、走査線を駆動する走査線駆動回路6と、各種の制御信号を生成する制御信号生成回路7と、画像取込みセンサの駆動制御を行うセンサ制御線駆動回路8と、画像取込みを行った撮像データをラッピングしてパラレル／シリアル変換して半導体基板に出力する信号処理回路9とが設けられている。アレイ基板1上の各回路は、例えばポリシリコン TFTにより形成されている。

【0015】

信号線駆動回路5は、デジタル画素データを表示素子の駆動に適したアナログ電圧に変換するD/A変換回路を含む。D/A変換回路は公知のものを用いる。

【0016】

半導体基板3上には、表示制御及び画像取込制御を行うコントロールIC11と、電源回路12とが実装されている。コントロールIC11は、CPUを内蔵し、デジタル画素データ、アレイ基板上の制御信号生成回路7のための同期信号、及び電源回路12を制御するための信号を出力する。電源回路12は、絶縁基板上の各回路で使用される電源電圧を生成する。

【0017】

図2は画素アレイ部4の1画素分の構成を詳細に示した回路図である。1画素には、赤色、緑色及び青色の発光をそれぞれ行う3つのEL素子EL-R, EL-G, EL-BとこれらEL素子EL-R, EL-G, EL-Bをそれぞれ駆動するトランジスタ21と、これら

トランジスタ21のゲート電圧を制御するリフレッシュ回路22と、各色の表示用画素データを蓄積するキャパシタCR, CG, CBと、これらキャパシタCR, CG, CBの蓄積電荷のいずれか一つを選択するデコーダ23と、各色に対応した画像取込みセンサPD-R, PD-G, PD-Bとが設けられている。

【0018】

デコーダ23は、制御信号線SA, SBの論理により、赤、緑または青用のキャパシタCR, CG, CBを選択する。信号線上の画素データは、デコーダ23で選択されたキャパシタに蓄積される。デコーダ23でキャパシタの選択を行うことにより、制御線の数を削減できる。

【0019】

リフレッシュ回路22は、縦続接続された2つのインバータIV1, IV2と、後段のインバータIV2の出力を前段のインバータIV1の入力にフィードバックするか否かを切り替えるトランジスタ24とを有する。このトランジスタ24がオンのとき、リフレッシュ回路22は、出力の保持動作を行う。リフレッシュ回路22の出力は、トランジスタ21のゲート端子に供給される。

【0020】

赤色の発光を行うEL素子EL-Rの点灯を制御するトランジスタ21のソース端子には信号DVDD-Rが供給され、緑色の発光を行うEL素子EL-Gの点灯を制御するトランジスタ21のソース端子には信号DVDD-Gが供給され、青色の発光を行うEL素子EL-Bの点灯を制御するトランジスタ21のソース端子には信号DVDD-Bが供給される。

【0021】

センサPD-R, PD-G, PD-Bのアノード端子はいずれも接地され、カソード端子はいずれもデコーダ23に接続されている。

【0022】

制御信号線SA, SBがともにハイレベルのとき、センサPD-R, PD-G, PD-Bでの受光量に応じた電荷は、デコーダ23を通過してキャパシタCRに蓄積される。

【0023】

このように、本実施形態では、キャパシタCRを画素表示と画像取込みの双方

の目的で使用している。これにより、キャパシタの数を削減でき、画素の構造を簡略化できる。

【0024】

本実施形態の表示装置は、通常の表示を行うこともできるし、スキャナと同様の画像取込みを行うこともできる。図3は通常の表示を行う場合のタイミング図であり、 i 行と $(i+1)$ 行の点灯動作を抜き出して示している。なお、図3のタイミング図は、各色とも1ビットの表示データに基づいて点灯又は非点灯が制御される場合を仮定している。

【0025】

まず、期間aでは、制御信号線SA_i, SB_iをハイ、ローにして、キャパシタCRに赤色画素データに応じた電荷を蓄積する。次に、期間bでは、リフレッシュ回路22で保持動作を行いつつ、赤色表示用のトランジスタ21をオンして、赤色表示用のEL素子EL-Rを点灯する。

【0026】

次に、期間cでは、制御信号線SA_i, SB_iをロー、ハイにして、キャパシタCGに緑色画素データに応じた電荷を蓄積する。次に、期間dでは、リフレッシュ回路22で保持動作を行いつつ、緑色表示用のトランジスタ21をオンして、緑色表示用のEL素子EL-Gを点灯する。

【0027】

次に、期間eでは、制御信号線SA_i, SB_iをロー、ローにして、キャパシタCGに青色画素データに応じた電荷を蓄積する。次に、期間fでは、リフレッシュ回路22で保持動作を行いつつ、青色表示用のトランジスタ21をオンして、青色表示用のEL素子EL-Bを点灯する。

【0028】

以上で i 行の表示動作が終了し、次に同様の手順で、 $(i+1)$ 行の表示動作が行われる。

【0029】

各色の画素データが2ビット以上の場合は、各行ごとに、図3の期間a～fの表示動作を、各ビットごとに点灯期間を変えながら繰り返す。より具体的には、

上位ビットほどEL素子の点灯期間を長くする。

【0030】

本実施形態の表示装置の場合、1フレームにわたり上記手順で各画素の点灯を行った後は、信号線から画素データを供給することなく、静止画表示を行うことができる。静止画表示を行う場合は、すべての走査線 G_i ($i = 1 \sim 240$) をローレベル固定にして、図3の期間a～fの処理を走査線分繰り返せばよい。

【0031】

次に、本実施形態の表示装置で画像取込みを行う場合のタイミングについて説明する。画像取込みを行う場合は、まず赤色のEL素子EL-Rを点灯して、画像取込み対象物からの反射光をセンサPD-Rで取り込み、センサPD-Rでの受光量に応じた電荷をキャパシタCRに蓄積し、その蓄積電荷を信号線に出力する。次に、緑色のEL素子EL-Gを点灯して、画像取込み対象物からの反射光をセンサPD-Gで取り込み、センサPD-Gでの受光量に応じた電荷をキャパシタCGに蓄積し、その蓄積電荷を信号線に出力する。次に、青色のEL素子EL-Bを点灯して、画像取込み対象物からの反射光をセンサPD-Bで取り込み、センサPD-Bでの受光量に応じた電荷をキャパシタCBに蓄積し、その蓄積電荷を信号線に出力する。

【0032】

図4は画像取込みを行う場合のタイミング図であり、 i 行と $(i+1)$ 行の赤色画素の画像取込み動作を抜き出して示している。

【0033】

まず、期間aでは、制御信号線SAi, SBiがロー、ローになり、キャパシタCBの蓄積電荷に応じた電圧がリフレッシュ回路22に供給される。

【0034】

次に、期間bでは、信号FBがハイレベルになり、リフレッシュ回路22は保持動作を行う。また、この期間内は、信号DVDD-Rがハイレベルになり、赤色表示用のトランジスタ21がオンして、赤色表示用のEL素子EL-Rが点灯する。

【0035】

次に、期間cでも、赤色表示用のEL素子EL-Rが点灯する。また、この期間内は、制御信号線SAi, SBiがハイ、ハイになり、センサPD-Rでの受光量に応じて、キ

キャパシタCRの電荷が変化する。より具体的には、受光量が多いほど、光リークがより多く起こって、キャパシタCRの蓄積電荷が少なくなる。

【0036】

次に、期間dでは、信号FBがローレベルになり、リフレッシュ回路22は保持動作を停止する。

【0037】

次に、期間eでは、制御信号線SAi, SBiがハイ、ローになり、キャパシタCRの蓄積電荷に応じた電圧がリフレッシュ回路22に供給される。

【0038】

次に、期間fでは、信号FBがハイレベルになり、リフレッシュ回路22は保持動作を再開する。

【0039】

次に、期間gでは、走査線Giをハイレベルにして、キャパシタCRの蓄積電荷に応じた撮影データを信号線に出力する。

【0040】

以上で、i行の画像取込みが終了する。次に、同様の手順で(i+1)行の画像取込みを行う。そして、赤色画素について全行の画像取込みを行った後、緑色画素の画像取込みを行う。

【0041】

図5(a)はi行と(i+1)行の緑色画素の画像取込み動作を示すタイミング図である。図5(a)と図4との違いは、信号DVDD-Rがハイレベルになる代わりに、信号DVDD-Gがハイレベルになる点である。その他のタイミングは同じである。緑色画素の画像取込みが終了すると、次に、青色画素の画像取込みを行う。

【0042】

図5(b)はi行と(i+1)行の青色画素の画像取込み動作を示すタイミング図である。図5(b)と図5(a)との違いは、信号DVDD-Gがハイレベルになる代わりに、信号DVDD-Bがハイレベルになる点である。その他のタイミングは同じである。

【0043】

図6は本実施形態の画素アレイ部4の1画素分の平面図である。図示のように、センサPD-R, PD-G, PD-Bは、対応するEL素子の発光層30に取り囲まれるように配置されている。EL素子の発光層30から発した光は撮像対象物表面で拡散反射されセンサに入射する。発光層30のほぼ中央にセンサを配置するのがもっとも効率が良い。発光層から遠ざかるほど撮像対象物表面での反射光がセンサに入射しにくくなる。

【0044】

発光層30からの光は、図7に示すように、アレイ基板1側に放射される。図8は図6のA-A線断面図である。画素アレイ部4は、アレイ基板1上に形成されるポリシリコンからなる活性層31と、活性層31の上面に形成される酸化シリコン層からなる第1絶縁膜32と、第1絶縁膜32の上面に形成されるMoW合金等からなるゲート電極33と、第1絶縁膜32及びゲート電極33の上面に形成される第2絶縁膜34と、第1及び第2絶縁膜32, 34をエッチング除去して活性層31に接続されるソース及びドレイン電極35, 36と、第2絶縁膜34の上面に形成されるアクリル樹脂などからなる層間絶縁膜37とを有する。

【0045】

層間絶縁膜37の上面には、画素電極38と、画素電極38を区画するためのアクリル系黒色樹脂からなる画素分離用隔壁39と、画素電極38の上面に形成される各画素に対応した共役ポリマからなる発光層30と、発光層30の上面に形成される薄膜アルカリ土類金属及びITO等の透明電極の積層体からなるカソード電極40とが形成されている。

【0046】

発光層30の材料として用いられる高分子材料は、インクジェット塗布により形成可能である。インクジェット塗布は生産性が高く好適であるが、本実施形態は各種の低分子材料にも適用可能である。

【0047】

このように、本実施形態では、表示用の画素データに応じた電荷を蓄積するキャパシタの一部を、画像取込みを行うセンサPD-R, PD-G, PD-Bの受光量に応じた電荷を蓄積するためにも用いるため、キャパシタの数を削減でき、画素の構造を簡

略化でき、開口率と製造歩留まりの向上を図れる。

【0048】

上述した実施形態では、2つのインバータを縦続接続してリフレッシュ回路22を構成する例を示したが、リフレッシュ回路22の内部構成は種々変更可能である。

【0049】

また、上述した実施形態では、各EL素子に対応してセンサPD-R, PD-G, PD-Bを一つずつ設ける例を示したが、センサPD-R, PD-G, PD-Bの数に特に制限はない。

【0050】

【発明の効果】

以上詳細に説明したように、本発明によれば、第1キャパシタを表示用と画像取込み用に共用するため、キャパシタの数を削減でき、画素の構造を簡略化できることから、開口率と製造歩留まりの向上を図れる。

【図面の簡単な説明】

【図1】

本発明に係る表示装置の第1の実施形態の概略構成図。

【図2】

画素アレイ部の1画素分の構成を詳細に示した回路図。

【図3】

通常の表示を行う場合のタイミング図。

【図4】

赤色画素の画像取込みを行う場合のタイミング図。

【図5】

(a) は緑色画素の画像取込みを行う場合のタイミング図、(b) は青色画素の画像取込みを行う場合のタイミング図。

【図6】

本実施形態の画素アレイ部の1画素分の平面図。

【図7】

発光層の放射方向を示す図。

【図 8】

図 6 の A-A 線断面図。

【図 9】

階調表示が可能なEL表示装置の動作原理を説明する図。

【図 10】

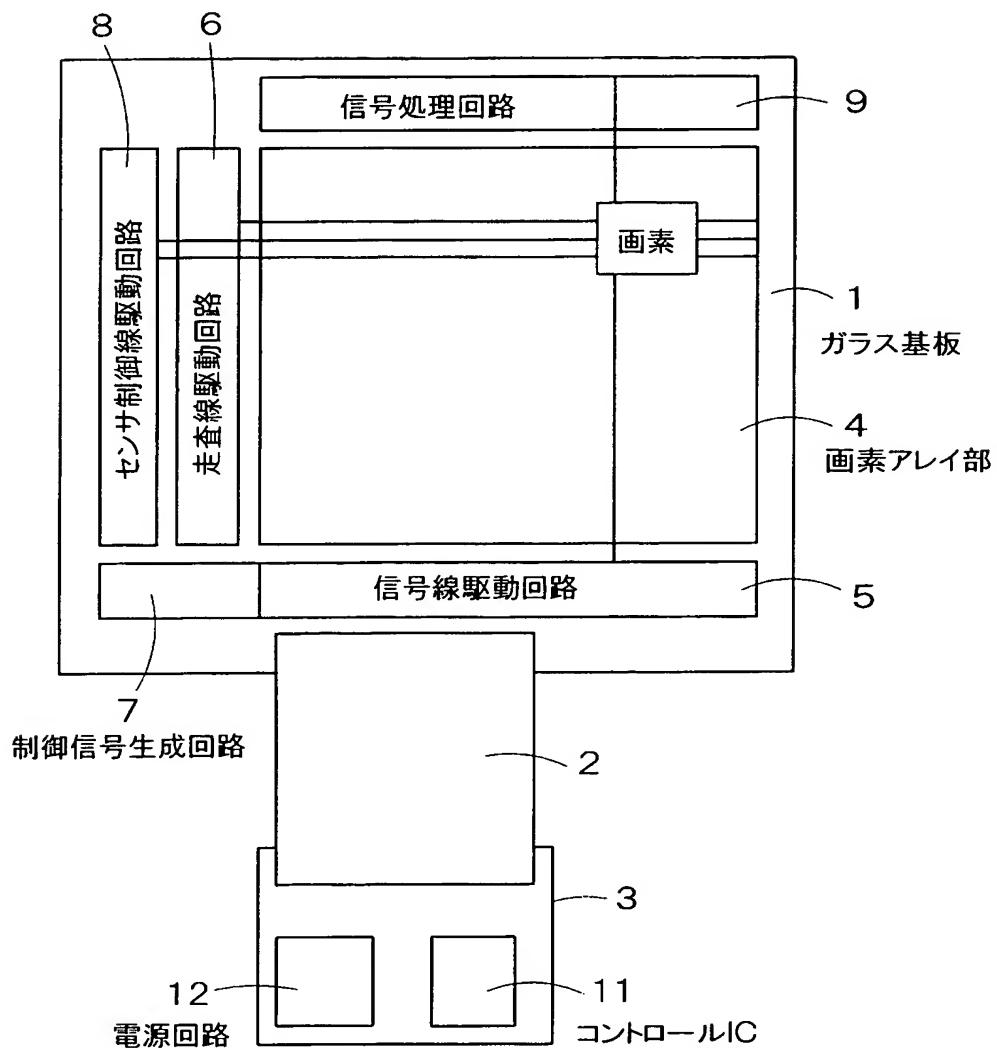
パルス幅変調信号の一例を示す図。

【符号の説明】

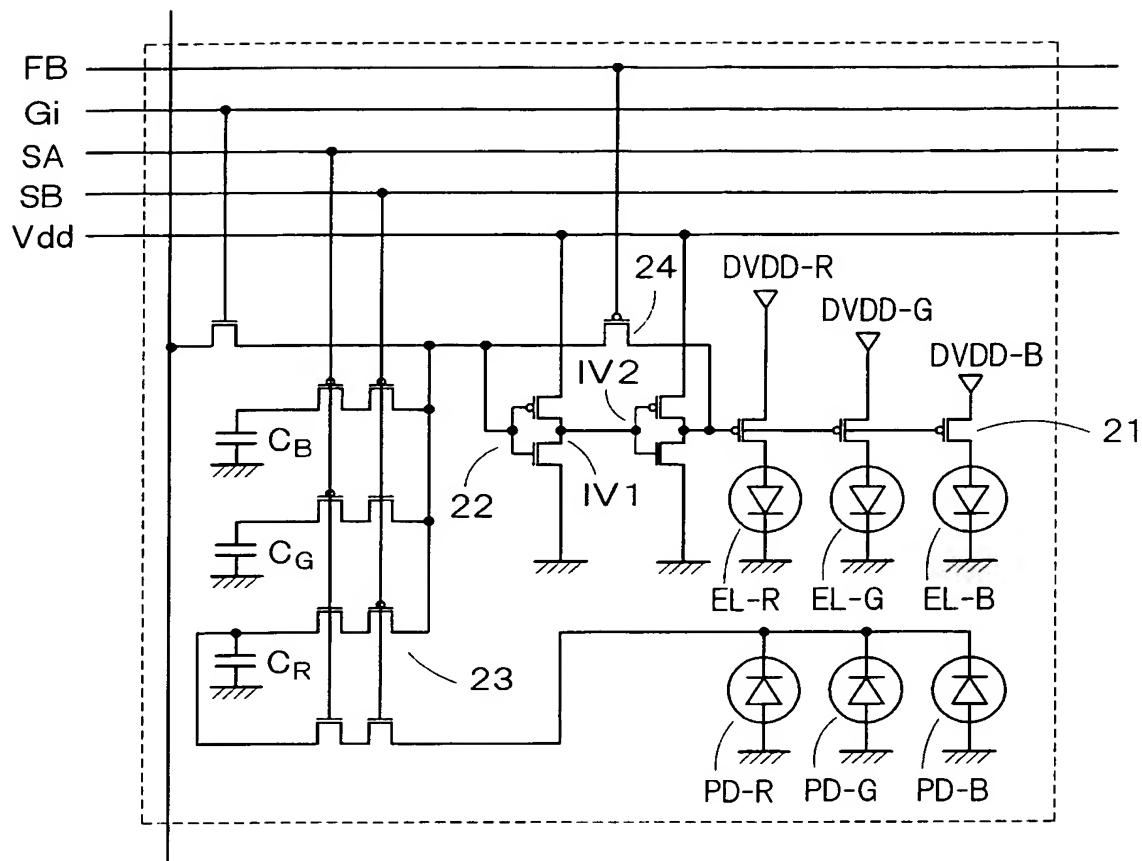
- 1 ガラス基板
- 2 F P C
- 3 半導体基板
- 4 画素アレイ部
- 5 信号線駆動回路
- 6 走査線駆動回路
- 7 制御信号生成回路
- 8 センサ制御線駆動回路
- 9 信号処理回路
- 11 コントロール I C
- 12 電源回路
- 22 リフレッシュ回路
- 23 デコーダ

【書類名】 図面

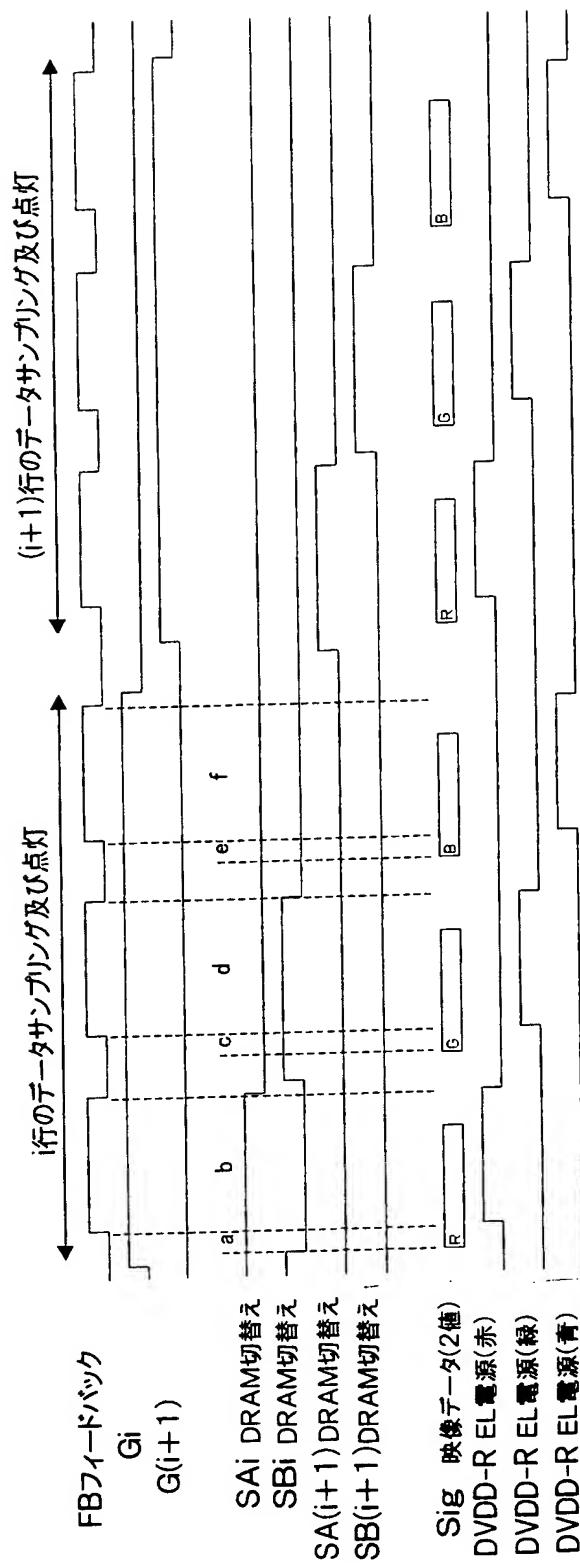
【図 1】



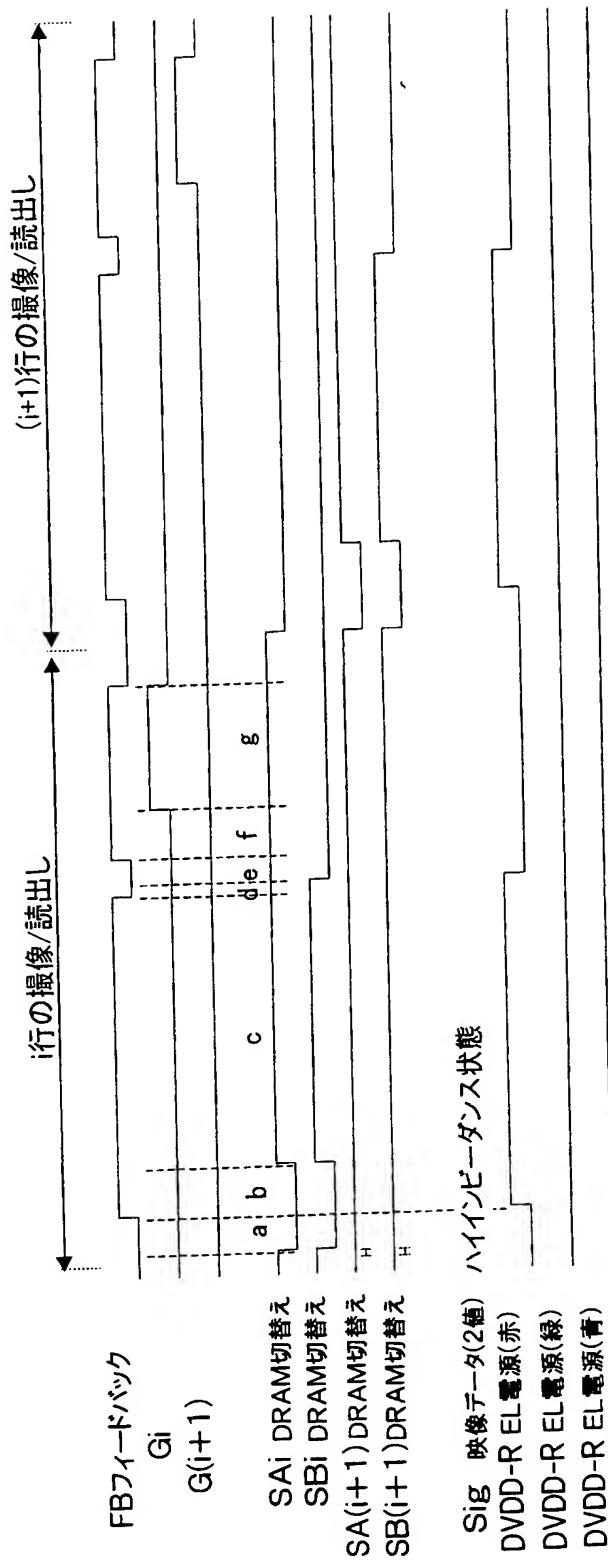
【図 2】



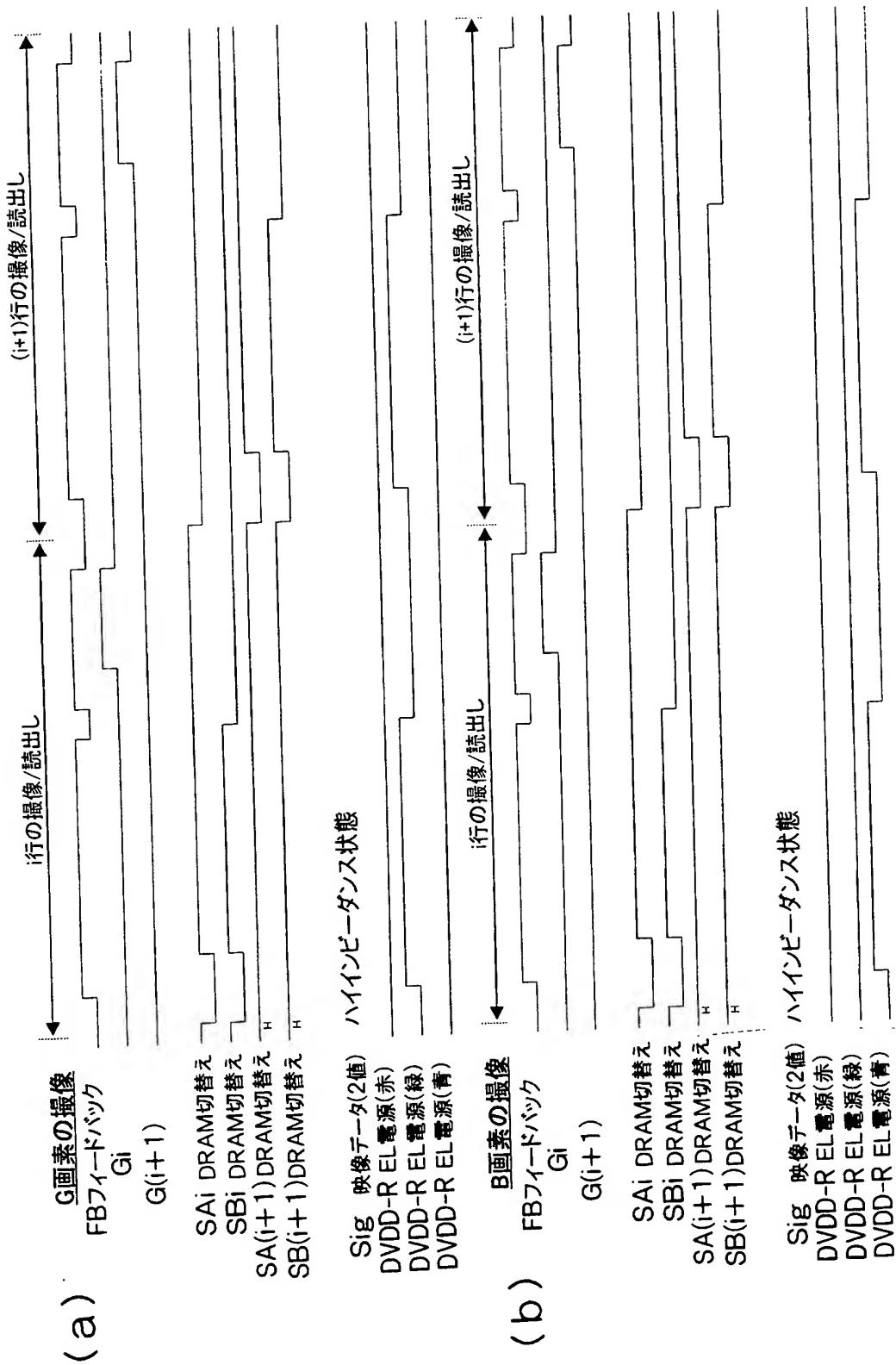
【図 3】



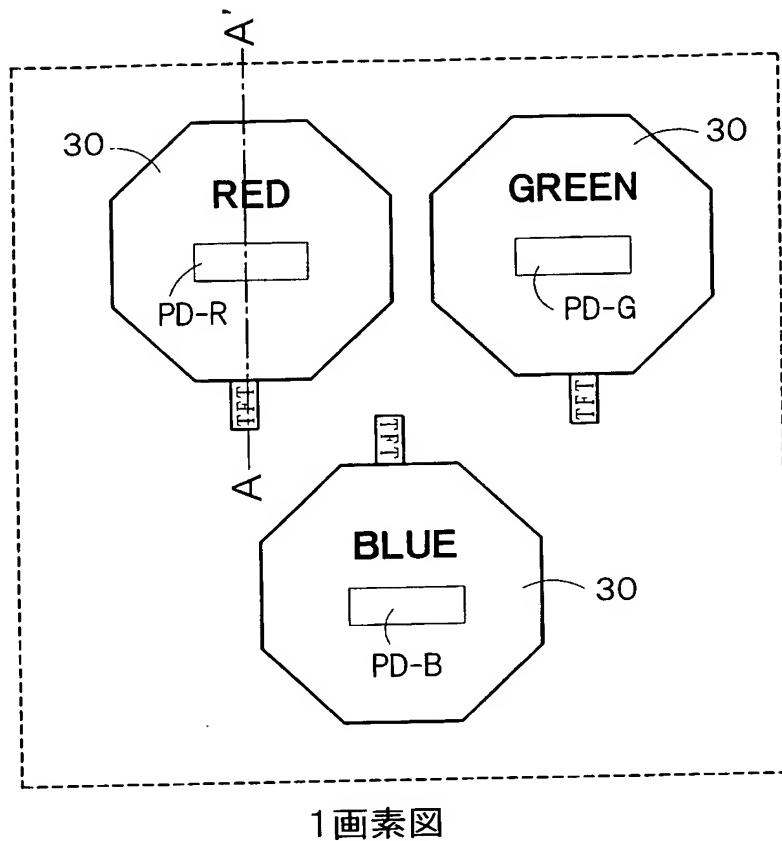
【図 4】



【図 5】



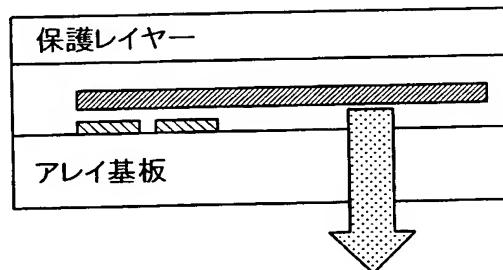
【図 6】



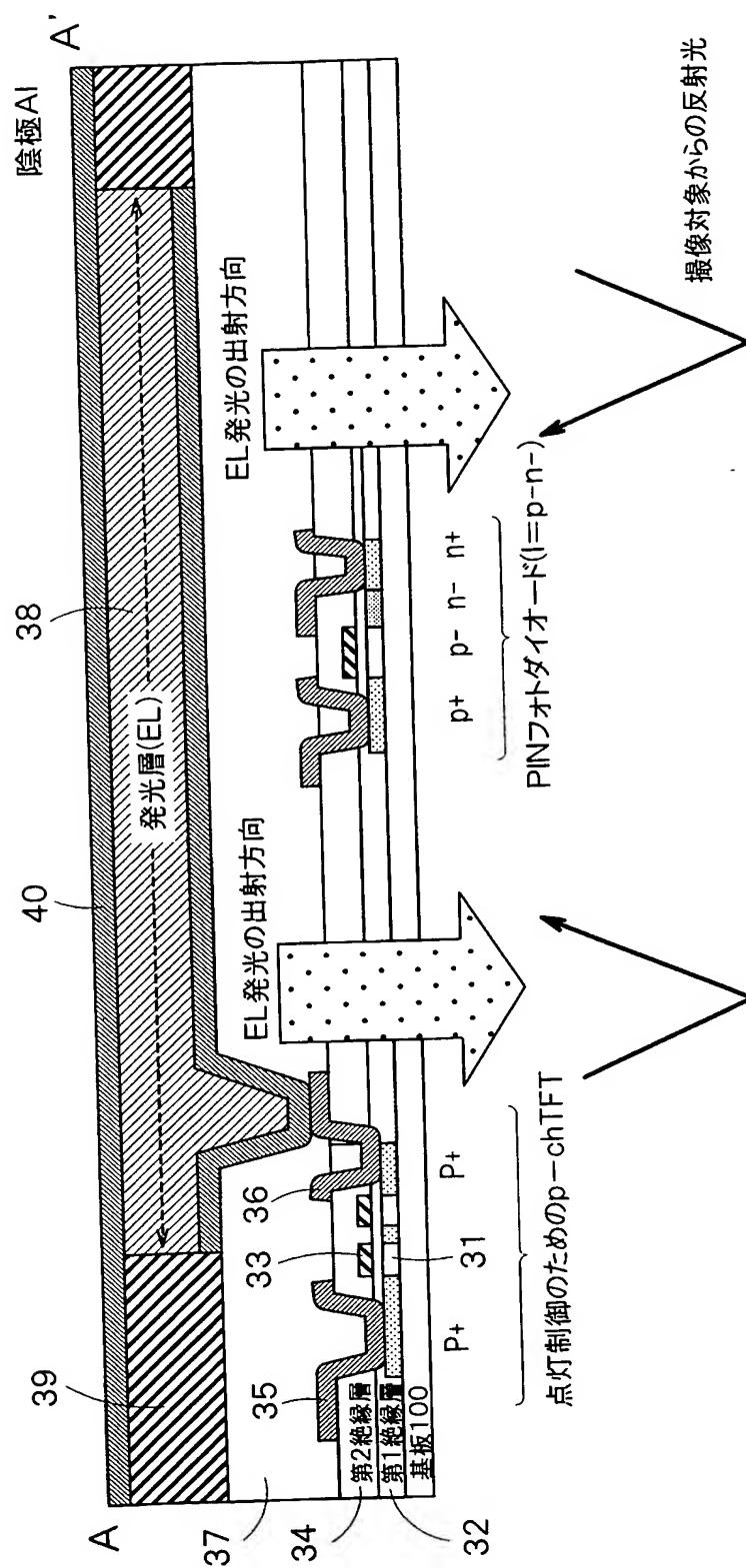
1画素図

【図 7】

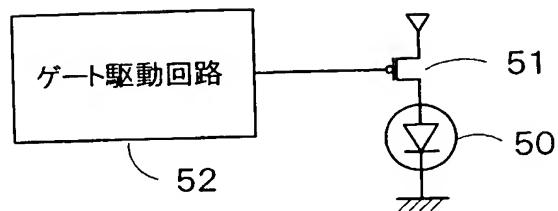
下面発光



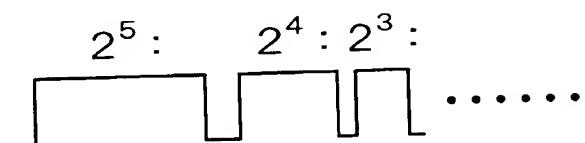
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 開口率と製造歩留まりの低下を防止できる表示装置を提供する。

【解決手段】 本発明に係る表示装置は、各画素ごとに、赤色、緑色及び青色の発光をそれぞれ行う3つのEL素子EL-R, EL-G, EL-Bと、これらEL素子EL-R, EL-G, EL-Bをそれぞれ駆動するトランジスタ21と、これらトランジスタ21のゲート電圧を制御するリフレッシュ回路22と、各色の表示用画素データを蓄積するキャパシタCR, CG, CBと、これらキャパシタCR, CG, CBの蓄積電荷のいずれか一つを選択するデコーダ23と、各色に対応した画像取込みセンサPD-R, PD-G, PD-Bとを有する。表示用の画素データに応じた電荷を蓄積するキャパシタの一部を、画像取込みを行うセンサPD-R, PD-G, PD-Bの受光量に応じた電荷を蓄積するためにも用いるため、キャパシタの数を削減でき、画素の構造を簡略化でき、開口率と製造歩留まりの向上を図れる。

【選択図】 図1

特願 2002-313309

出願人履歴情報

識別番号 [302020207]

1. 変更年月日 2002年 4月 5日
[変更理由] 新規登録
住所 東京都港区港南4-1-8
氏名 東芝松下ディスプレイテクノロジー株式会社